

Europäisches Patentamt
European Patent Office
Office européen des brevets



(11) **EP 1 113 493 A1**

(12) **EUROPÄISCHE PATENTANMELDUNG**

(43) Veröffentlichungstag:
04.07.2001 Patentblatt 2001/27

(51) Int Cl.7: **H01L 21/8246**, H01L 27/115,
H01L 21/02

(21) Anmeldenummer: **00128568.3**

(22) Anmeldetag: **27.12.2000**

(84) Benannte Vertragsstaaten:
**AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU
MC NL PT SE TR**
Benannte Erstreckungsstaaten:
AL LT LV MK RO SI

- **Hartner, Walter**
81829 München (DE)
- **Kastner, Marcus**
85521 Ottobrunn (DE)
- **Schindler, Günther**
80802 München (DE)

(30) Priorität: **03.01.2000 DE 10000005**

(71) Anmelder: **Infineon Technologies AG**
81669 München (DE)

(74) Vertreter: **Graf Lambsdorff, Matthias, Dr. et al**
Patentanwälte
Lambsdorff & Lange
Dingolfinger Strasse 6
81673 München (DE)

(72) Erfinder:
• **Dehm, Christine**
90403 Nürnberg (DE)

(54) **Verfahren zur Herstellung eines ferroelektrischen Halbleiterspeichers**

(57) Auf einem Halbleitersubstrat (1) wird ein Schalttransistor (2) geformt und auf diesen eine Isolationsschicht (4) aufgebracht, auf welcher dann ein Speicherkondensator mit Elektroden (7, 9) aus Platin und mit ferroelektrischem oder paraelektrischem Dielektrikum (8) gebildet wird. Um das Dielektrikum (8) bei den wei-

teren Prozessschritten vor dem Eindringen von Wasserstoff zu schützen, wird in die Isolationsschicht (4) eine erste Barrierschicht (5) eingebettet und nach Fertigstellung des Speicherkondensators eine zweite Barrierschicht (10) abgeschieden, die sich mit der ersten Barrierschicht (5) verbindet.

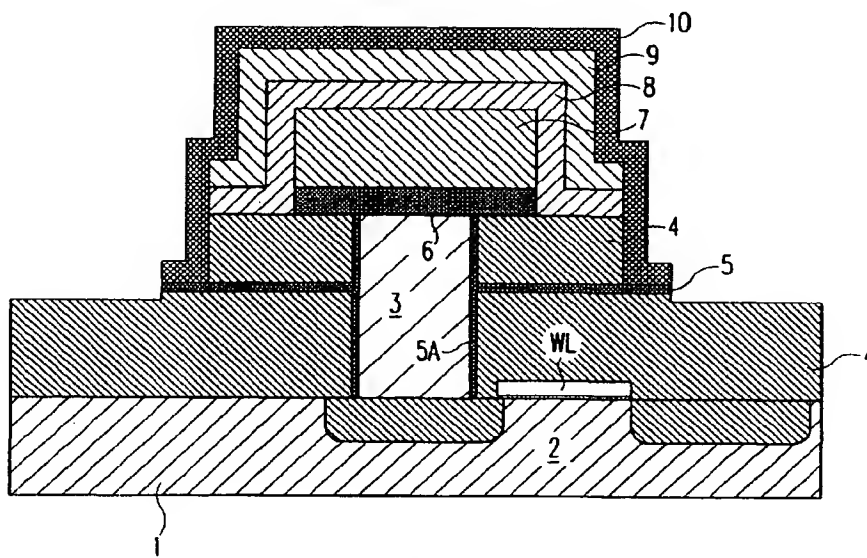


Fig. 3

Beschreibung

[0001] Die Erfindung betrifft ein Verfahren zur Herstellung eines Halbleiterbauelements gemäß Patentanspruch 1. Insbesondere betrifft die vorliegende Erfindung ein Verfahren zur Herstellung einer nicht-flüchtigen Speicherzelle mit einem Schalttransistor und einem Speicherkondensator, dessen Kondensatorplatten ein Platinmetall enthalten und zwischen denen ein ferroelektrisches oder paraelektrisches Material als Dielektrikum eingesetzt ist.

[0002] Konventionelle mikroelektronische Halbleiterspeicher-Bauelemente (DRAMs) bestehen im wesentlichen aus einem Auswahl- oder Schalttransistor und einem Speicherkondensator, in welchem zwischen zwei Kondensatorplatten ein dielektrisches Material eingefügt ist. Als Dielektrikum werden üblicherweise zumeist Oxid- oder Nitridschichten verwendet, die eine Dielektrizitätskonstante von maximal etwa 8 aufweisen. Zur Verkleinerung des Speicherkondensators sowie zur Herstellung von nicht-flüchtigen Speichern werden "neuartige" Kondensatormaterialien (Ferroelektrika oder Paraelektrika) mit deutlich höheren Dielektrizitätskonstanten benötigt. Ein paar dieser Materialien sind in der Publikation "Neue Dielektrika für Gbit-Speicherschips" von W. Hönlein, Phys. Bl. 55 (1999), genannt. Zur Herstellung von ferroelektrischen Kondensatoren für Anwendungen in nicht-flüchtigen Halbleiterspeicher-Bauelementen hoher Integrationsdichte können z.B. ferroelektrische Materialien, wie $\text{SrBi}_2(\text{Ta,Nb})_2\text{O}_9$ (SBT oder SBTN), $\text{Pb}(\text{Zr, Ti})\text{O}_3$ (PZT), oder $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ (BTO) als Dielektrikum zwischen den Kondensatorplatten eingesetzt werden. Es kann aber auch ein paraelektrisches Material, wie beispielsweise $(\text{Ba,Sr})\text{TiO}_3$ (BST), zum Einsatz kommen.

[0003] Die Verwendung dieser neuartigen Dielektrika, Ferroelektrika oder Paraelektrika stellt jedoch die Halbleiterprozeßtechnologie vor neue Herausforderungen. Zunächst lassen sich diese neuartigen Materialien nämlich nicht mehr mit dem traditionellen Elektrodenmaterial polykristallines Silizium kombinieren. Deshalb müssen inerte Elektrodenmaterialien, wie beispielsweise Platinmetalle oder deren leitfähige Oxide (z.B. RuO_2), eingesetzt werden. Der Grund hierfür liegt darin, daß nach dem Abscheiden des Ferroelektrikums dieses in einer Sauerstoff-haltigen Atmosphäre bei Temperaturen von etwa 550-800°C gegebenenfalls mehrfach getempert ("konditioniert") werden muß. Zur Vermeidung von unerwünschten chemischen Reaktionen des Ferroelektrikums mit den Elektroden werden diese daher zumeist aus Platin oder einem anderen ausreichend temperaturstabilen und inerten Material, wie einem anderen Platinmetall (Pd, Ir, Rh, Ru, Os), gefertigt.

[0004] Zur Integration der Speicherkondensatoren sind Prozeßschritte notwendig, die in Wasserstoff-haltiger Umgebung stattfinden. So ist beispielsweise zur Konditionierung der Metallisierung und der Transistoren eine Temperung in Formiergas notwendig, welches zu

95 % aus Stickstoff (N_2) und zu 5 % aus Wasserstoff (H_2) zusammengesetzt ist. Das Eindringen von Wasserstoff in den prozessierten Speicherkondensator, d.h. in das Dielektrikum, kann jedoch durch Reduktionsreaktionen zu einer Degradation der oxidischen Keramiken des Dielektrikums führen. Des weiteren können die plasma-unterstützte Abscheidung von Internetaloxiden (PECVD) bzw. der Siliziumnitrid-Passivierungsschicht aufgrund des hohen Wasserstoffgehalts in den Schichten eine Reduktion des ferro- bzw. paraelektrischen Materials des Dielektrikums bewirken.

[0005] Im Stand der Technik wurde bisher versucht, das Problem durch Abscheiden einer Passivierungsschicht auf den Speicherkondensator zu lösen. In der U.S.-PS 5,523,595 wird beispielsweise ein Herstellungsverfahren für ein Halbleiterbauelement beschrieben, bei welchem ein Schalttransistor in einem Halbleitersubstrat gebildet wird, eine erste Isolationsschicht auf dem Schalttransistor abgeschieden wird, auf der ersten Isolationsschicht ein mit dem Schalttransistor gekoppelter ferroelektrischer Speicherkondensator geformt wird, oberhalb des Speicherkondensators eine zweite Isolationsschicht aufgebracht wird und auf diese eine Barrierschicht gegen das Eindringen von Wasserstoff aus TlON abgeschieden wird. Durch diese bisher bekannte Barrierschicht wird das Eindringen von Wasserstoff durch die obere Elektrode des Speicherkondensators verhindert. Allerdings ist eine Diffusion von Wasserstoff durch die erste Isolationsschicht, und der unteren Elektrode in das Dielektrikum weiterhin möglich und kann somit zu einer Degradation des Speicherkondensators führen. Auf den Wasserstoffanteil im Formiergas kann andererseits nicht verzichtet werden, da durch den Wasserstoff freie Bindungen ("dangling bonds") im Halbleiter, insbesondere an den Grenzflächen zu Elektroden, und im Gate-Oxid abgesättigt werden sollen. Eine Diffusion des Wasserstoffs durch die untere Elektrode des Speicherkondensators und eine nachfolgende Schädigung des Ferroelektrikums ist dabei nicht auszuschließen.

[0006] Es ist demnach Aufgabe der vorliegenden Erfindung, ein Verfahren zur Herstellung eines Halbleiterspeichers anzugeben, bei welchem ein Speicherkondensator, der ein ferroelektrisches oder paraelektrisches Material für das Dielektrikum verwendet, ausreichend gegen das Eindringen von Wasserstoff geschützt werden kann.

[0007] Die vorliegende Erfindung löst diese Aufgabe durch ein Verfahren zur Herstellung eines Halbleiterbauelements, bei welchem

- a) auf einem Halbleitersubstrat ein Schalttransistor geformt wird,
- b) auf dem Schalttransistor eine Isolationsschicht aufgebracht wird, wobei in die Isolationsschicht eine erste Barrierschicht, insbesondere gegen das Eindringen von Wasserstoff eingebettet wird,
- c) auf die Isolationsschicht ein mit dem Schalttran-

sistor gekoppelter Speicherkondensator enthaltend eine untere und eine obere Elektrode und eine dazwischen abgeschiedene metalloxidhaltige Schicht aufgebracht wird.

c) in einem vertikalen Ätzschritt die Isolationsschicht außerhalb des Speicherkondensators bis zu einer derartigen Tiefe entfernt wird, wobei die erste Barrierschicht nach außen freigelegt wird,
 c) auf den Speicherkondensator und auf die Isolationsschicht und auf die erste Barrierschicht eine zweite Barrierschicht, insbesondere gegen das Eindringen von Wasserstoff, aufgebracht wird.

[0008] Die metalloxidhaltige Schicht ist dabei vorzugsweise ein ferroelektrisches oder paraelektrisches Material

[0009] Vorzugsweise wird der Schalttransistor mit dem Speicherkondensator in der Weise verbunden, daß nach dem Aufbringen der Isolationsschicht in diese ein Kontaktloch bis zu einem Anschlußbereich des Schalttransistors, beispielsweise einem Drain-Bereich eines MOS-Schalttransistors, geätzt und mit einem leitfähigen Material gefüllt wird und die untere Elektrode des Speicherkondensators anschließend mindestens teilweise auf dem Kontaktloch aufgebracht wird. Dabei kann zusätzlich vorgesehen sein, daß vor dem Befüllen des Kontaktlochs dieses an seinen Innenwänden mit einer dritten Barrierschicht insbesondere gegen das Eindringen von Wasserstoff ausgekleidet wird. Dadurch kann zusätzlich verhindert werden, daß der Wasserstoff in das mit dem leitfähigen Material gefüllte Kontaktloch ("plug") eindiffundiert und durch das leitfähige Material des Kontaktlochs und die untere Elektrode in die metalloxidhaltige Schicht eindringt. Somit ist der hergestellte Speicherkondensator vollständig von Barrierschichten eingekapselt.

[0010] Wahlweise kann in dem Verfahrensschritt d) die erste Isolationsschicht bis zu der Tiefe der ersten Barrierschicht entfernt werden, wobei gegebenenfalls die erste Barrierschicht als Ätzstoppschicht verwendet werden kann. Alternativ dazu kann auch im Verfahrensschritt d) die erste Isolationsschicht bis in eine Tiefe unterhalb der ersten Barrierschicht entfernt werden.

[0011] Die erste Barrierschicht wird vorzugsweise aus Si_3N_4 hergestellt, wobei eine chemische Gasphasenabscheidung bei niedrigem Druck (LPCVD) besonders gute Ergebnisse liefert. Als Material der ersten Barrierschicht kann auch ZrO_2 bzw. $\text{SiO}_2/\text{ZrO}_2$ gewählt werden. Auch die an sich im Stand der Technik bekannten Materialien Al_2O_3 , TiO_2 , Ta_2O_5 können als Material für die erste Barrierschicht eingesetzt werden.

[0012] Für die dritte Barrierschicht, mit der die Innenwände des in die erste Isolationsschicht geätzten Kontaktlochs ausgekleidet werden, können prinzipiell dieselben Materialien wie für die erste Barrierschicht verwendet werden. Wird als Material für die dritte Barrierschicht Si_3N_4 gewählt, so erfolgt auch hier die Abscheidung vorzugsweise durch LPCVD.

[0013] Die auf dem Speicherkondensator abgeschiedene zweite Barrierschicht kann aus einer SiO_x - SiON - Si_3N_4 -Schichtkombination aufgebaut sein, wobei zuerst vorzugsweise mit CVD (chemical vapour deposition) eine SiO_x -Schicht aufgewachsen wird, anschließend ebenfalls vorzugsweise mit CVD eine SiON -Schicht abgeschieden wird und schließlich vorzugsweise mit LP-CVD eine Si_3N_4 -Schicht aufgebracht wird. Um dabei das ferroelektrische oder paraelektrische Material des Dielektrikums vor den relativ großen Mengen an Wasserstoff zu schützen, die bei der LPCVD-Abscheidung der Si_3N_4 -Schicht auftreten, kann zusätzlich unterhalb der Schichtkombination oder zwischen einzelnen Schichten der Schichtkombination eine oxidische oder nitridische Barrierschicht (X-Schicht) abgeschieden werden. Der Schichtaufbau der Schichtkombination ist also beispielsweise $\text{X-SiO}_2\text{-SiON-Si}_3\text{N}_4$ oder $\text{SiO}_2\text{-X-SiON-Si}_3\text{N}_4$. Als Material für die X-Schicht kann beispielsweise Ta_2O_5 , Bi_2O_3 , TiO_2 , Al_2O_3 , Nb_2O_5 , MgO , V_2O_5 , CeO_2 , Y_2O_3 , ZrO_2 , BN , AlN sowie alle Selten-Erd-Oxide verwendet werden. Um des weiteren eine Schädigung des Ferro- oder Paraelektrikums als Folge der CVD-Abscheidung der Siliziumoxidschicht auszuheilen, wird zudem bevorzugterweise ein Tempersschritt nach der SiO_x -Abscheidung vorgenommen.

[0014] Im folgenden werden Ausführungsbeispiele der Erfindung anhand der Zeichnungen näher erläutert. In den Zeichnungen sind jeweils Querschnittsansichten durch Halbleiterbauelemente in unterschiedlichen Stadien des erfindungsgemäßen Verfahrens dargestellt. Im einzelnen zeigen:

Fig. 1 ein erfindungsgemäß hergestelltes Halbleiterbauelement nach Durchführung des Verfahrensschritts c);

Fig. 2a ein erfindungsgemäß hergestelltes Halbleiterbauelement nach Durchführung des Verfahrensschritts d) (erste Ausführungsart);

Fig. 2b ein erfindungsgemäß hergestelltes Halbleiterbauelement nach Durchführung des Verfahrensschritts d) (zweite Ausführungsart);

Fig. 3 ein erfindungsgemäß hergestelltes Halbleiterbauelement nach Durchführung des Verfahrensschritts e) (erste Ausführungsart).

[0015] Gemäß dem in Fig. 1 dargestellten Ausführungsbeispiel wird zunächst auf einem Halbleitersubstrat 1 (beispielsweise aus Silizium) ein MOS-Schalttransistor 2 dadurch hergestellt, indem durch Dotierung ein Drain-Gebiet und ein Source-Gebiet gebildet werden, zwischen denen ein Kanal besteht, der durch ein über dem Kanal angeordnetes Gate in seiner Leitfähigkeit gesteuert werden kann. Das Gate kann durch eine Wortleitung WL des Speicherbauelements gebildet oder mit dieser verbunden sein. Das Source-Gebiet ist mit

einer Bit-Leitung BL des Speicherbauelements verbunden. Der MOS-Schalttransistor 2 wird anschließend mit einer planarisierenden Isolationsschicht 4, üblicherweise aus einem Oxid, wie SiO_2 (TEOS), oder BPSG (Bor-phosphor-Silikatglas) bedeckt.

[0016] Erfindungsgemäß wird in die Isolationsschicht 4 eine erste Barrierschicht 5 eingebettet. Es wird also zunächst eine erste Teilschicht der Isolationsschicht 4 aufgebracht, dann auf diese erste Teilschicht die Barrierschicht 5 abgeschieden und schließlich auf die Barrierschicht 5 eine zweite Teilschicht der Isolationsschicht 4 aufgebracht. Für die Barrierschicht 5 wird ein Material gewählt, das gegenüber Wasserstoff möglichst undurchdringlich ist. Sehr gut geeignet hierfür ist Siliziumnitrid, insbesondere Si_3N_4 , welches in besonders guter Qualität und Porenfreiheit durch chemische Gasphasenabscheidung bei niedrigem Druck (LPCVD) abgeschieden werden kann. Es kann jedoch auch eine andere Nitridschicht oder eine andere als H_2 -Barriere fungierende Schicht verwendet werden.

[0017] Anschließend wird in den durch die Isolationsschicht 4 und die Barrierschicht 5 gebildeten Schichtaufbau ein Kontaktloch 3 oberhalb des Drain-Gebiets des MOS-Schalttransistors 2 vertikal geätzt und mit einem leitfähigen Material, wie dotiertem, polykristallinem Silizium, aufgefüllt. Auf das gefüllte Kontaktloch 3 wird anschließend eine Oxidationsbarriere 6 aufgebracht.

[0018] Anschließend wird auf der Isolationsschicht 4 ein Speicherkondensator geformt, indem zuerst eine untere Elektrode 7 aus Platin oder einem anderen Platinmetall oder einem leitenden Oxid davon über dem Kontaktloch 3 aufgebracht und wie dargestellt mesaförmig strukturiert wird. Die untere Elektrode 7 ist somit mit dem Drain-Gebiet des MOS-Schalttransistors 2 über das mit dem leitfähigen polykristallinen Silizium gefüllte Kontaktloch 3 elektrisch verbunden. Auf die untere Elektrode 7 wird dann eine dielektrische Schicht 8 eines ferroelektrischen oder paraelektrischen Materials abgeschieden, die das Kondensatordielektrikum bildet. Diese Schicht 8 bedeckt die strukturierte untere Elektrode 7 vollständig nach allen Seiten und erstreckt sich in lateraler Richtung stufenförmig über die untere Elektrode 7 hinaus. Auf die dielektrische Schicht 8 wird eine obere Elektrode 9 aus Platin oder einem anderen Platinmetall oder einem leitenden Oxid davon ebenfalls vollständig nach allen Seiten bedeckend abgeschieden und erstreckt sich somit ebenfalls stufenförmig in lateraler Richtung beidseits der strukturierten unteren Elektrode 7.

[0019] Somit ist ein Halbleiterbauelement fertiggestellt, wie es in Fig. 1 dargestellt ist.

[0020] Anschließend wird eine vertikale, mesaförmige Strukturierung des Speicherkondensators durchgeführt. Diese kann nach zwei verschiedenen Ausführungsarten erfolgen, die anhand der Fig. 2a und 2b dargestellt sind.

[0021] In einer ersten Ausführungsart (Fig. 2a) wird um den Speicherkondensator eine vertikale Mesastruktur

in die Isolationsschicht 4 geätzt, wobei der vertikale Ätzvorgang exakt bis zu der Barrierschicht 5 durchgeführt wird. Gegebenenfalls kann dabei die Barrierschicht 5 gleichzeitig die Funktion einer Ätzstoppschicht übernehmen. Dieser vertikale Ätzschritt hat zum Ergebnis, daß die obere Oberfläche der Barrierschicht 5 außerhalb der geätzten Mesastruktur nach außen freigelegt wird. Auf die erhaltene Struktur wird dann eine zweite Barrierschicht 10 aufgebracht.

[0022] Bei der zweiten Ausführungsart (Fig. 2b) wird ebenfalls eine mesaförmige Struktur durch einen vertikalen Ätzschritt um den Speicherkondensator herum erzeugt. In diesem Fall wird jedoch der vertikale Ätzvorgang in die Isolationsschicht 4 über die Barrierschicht 5 hinaus durchgeführt, so daß die Barrierschicht 5 außerhalb der Mesastruktur gänzlich entfernt wird. Der Ätzvorgang erfolgt bis zu einer bestimmten Tiefe unterhalb der Barrierschicht 5 und wird dann gestoppt. Auf die erhaltene Struktur wird dann die zweite Barrierschicht 10 aufgebracht. Bei der zweiten Ausführungsart ist somit kein Ätzstopp auf der Barrierschicht 5 notwendig. Dies wird jedoch mit einer Zunahme der Höhe der Topologie, d.h. der geätzten Mesastruktur erkauft.

[0023] Bei beiden Ausführungsarten bewirkt das Aufbringen der zweiten Barrierschicht 10, daß diese an einem bestimmten Abschnitt mit der ersten Barrierschicht 5 verbunden wird. Dieser Abschnitt verläuft auf einer geschlossenen Bahn um die Mesastruktur und bildet gewissermaßen die Außenkontur im unteren Bereich der geätzten Mesastruktur. Bei der ersten Ausführungsart wird die zweite Barrierschicht 10 vollständig auf die in dem Bereich außerhalb der Mesastruktur noch vollständig erhaltene erste Barrierschicht 5 aufgebracht. Bei der zweiten Ausführungsart erfolgt die Kontaktierung dagegen an dem schmalen Abschnitt, an dem die erste Barrierschicht 5 an der vertikal geätzten Flanke nach außen frei liegt.

[0024] Die zweite Barrierschicht 10 wird aus einer Schichtkombination gebildet, bei der zunächst eine erste Schicht aus SiO_x , dann eine zweite Schicht bestehend aus SiON und schließlich eine dritte Schicht aus Si_3N_4 aufgebracht wird. Die ersten beiden Schichten können durch CVD (chemical vapour deposition) gebildet werden, während die Si_3N_4 -Schicht durch LPCVD (low pressure chemical vapour deposition, chemische Gasphasenabscheidung bei niedrigem Druck) gebildet werden kann. Um das Dielektrikum des Speicherkondensators vor den relativ großen Mengen an Wasserstoff (H_2) zu schützen, die bei der LPCVD-Abscheidung der Si_3N_4 -Schicht auftreten, kann eine zusätzliche oxidische oder nitridische Barrierschicht (X-Schicht) abgeschieden werden. Diese X-Schicht kann entweder als erste Schicht, also noch vor Abscheidung der SiO_2 -Schicht, oder innerhalb der Schichtkombination aufgebracht werden. Als Schichtkombination kann somit beispielsweise ein Schichtaufbau gemäß X- SiO_2 - SiON - SiN oder SiO_2 -X- SiON - SiN gewählt werden. Die X-Schicht kann auch nach Bildung der SiON -Schicht auf-

gebracht werden. Als Material der oxidischen oder nitratischen X-Barrierschicht kann jedes thermisch stabile, nicht-leitende Oxid oder Nitrid, wie z.B. Ta_2O_5 , Bi_2O_3 , TiO_2 , Al_2O_3 , Nb_2O_5 , MgO , V_2O_5 , CeO_2 , Y_2O_3 , ZrO_2 , BN, AlN sowie alle Selten-Erd-Oxide verwendet werden. Nach der CVD-Abscheidung der Siliziumoxidschicht kann ein Tempersschritt durchgeführt werden, um eventuelle Schädigungen des Kondensatordielektrikums als Folge dieser Abscheidung auszuheilen.

[0025] In Fig. 3 ist schließlich noch ein erfindungsgemäß fertigungsprozessiertes Halbleiterbauelement dargestellt. Wie man sieht, ist dieses aus einem erfindungsgemäßen Verfahren gemäß der ersten Ausführungsart (Fig. 2a) hervorgegangen, wobei in einem weiteren Ätzschritt die außerhalb der Mesastruktur befindlichen Barrierschichten 5 und 10 entfernt wurden.

[0026] Das in Fig. 3 dargestellte Halbleiterbauelement unterscheidet sich jedoch noch in einem weiteren Merkmal von den bisher dargestellten Ausführungsarten. Bei diesen ist nämlich das Kontaktloch 3 mit einer dritten Barrierschicht 5A versehen, durch die verhindert wird, daß der Wasserstoff durch die Isolationsschicht 4 in das leitfähige Material des Kontaktlochs 3 eindringen und von dort nach oben in den Speicherkondensator eindiffundieren kann. Die dritte Barrierschicht 5A wird unmittelbar nach der Kontaktlochätzung durchgeführt. Vorzugsweise besteht die dritte Barrierschicht 5A wie auch die erste Barrierschicht 5 aus Si_3N_4 und wird weiterhin vorzugsweise ebenfalls durch das LP-CVD-Verfahren hergestellt. Die dritte Barrierschicht 5A bedeckt vollständig die Innenwände des Kontaktlochs 3. Nachdem das Kontaktloch 3 solchermaßen durch die dritte Barrierschicht 5A ausgekleidet wurde, wird das Kontaktloch 3 mit dem leitfähigen Material, wie dotiertem, polykristallinem Silizium, befüllt.

[0027] Mit dem erfindungsgemäßen Verfahren gelingt es somit, den Speicherkondensator mit den Barrierschichten 5, 5A und 10 vollständig einzukapseln und somit zu verhindern, daß der in den Prozessschritten nach Bildung des Speicherkondensators stets vorhandene Wasserstoff in das Bauelement eindringt und Schädigungen an dem ferroelektrischen oder paraelektrischen Material des Kondensatordielektrikums hervorrufen kann. In vielen Fällen wird es ausreichend sein, die Barrierschichten 5 und 10 auszubilden, da das Kontaktloch 3 selbst nur einen sehr engen Diffusionspfad für den Wasserstoff bildet. Um eine vollständige Einkapselung zu erreichen, kann jedoch wie dargestellt auch noch die dritte Barrierschicht 5A an den Innenwänden des Kontaktlochs 3 angebracht und somit die Einkapselung des Speicherkondensators vervollständigt werden.

Patentansprüche

1. Verfahren zur Herstellung eines Halbleiterbauelements, bei welchem

a) auf einem Halbleitersubstrat (1) ein Schalttransistor (2) geformt wird,
 b) auf dem Schalttransistor (2) eine Isolationsschicht (4) aufgebracht wird, in die eine erste Barrierschicht (5), insbesondere gegen das Eindringen von Wasserstoff, eingebettet wird,
 c) auf die Isolationsschicht (4) ein mit dem Schalttransistor (2) gekoppelter Speicherkondensator enthaltend eine untere (7) und eine obere Elektrode (9) und eine dazwischen abgeschiedene metalloxidhaltige Schicht (8) aufgebracht wird,
 d) in einem vertikalen Ätzschritt die Isolationsschicht (4) außerhalb des Speicherkondensators bis zu einer bestimmten Tiefe entfernt wird, wobei die erste Barrierschicht nach außen freigelegt wird,
 e) auf den Speicherkondensator und auf die Isolationsschicht (4) und auf die erste Barrierschicht (5) eine zweite Barrierschicht (10), insbesondere gegen das Eindringen von Wasserstoff, aufgebracht wird.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß

- der Schalttransistor (2) dadurch mit dem Speicherkondensator verbunden wird, daß nach dem Aufbringen der Isolationsschicht (4) in diese ein Kontaktloch (3) bis zu einem Source- oder Drain-Bereich des Schalttransistors (2) geätzt und mit einem leitfähigen Material gefüllt wird, und
- die untere Elektrode (7) über dem Kontaktloch (3) aufgebracht wird.

3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, daß

- vor dem Befüllen des Kontaktlochs (3) dieses an seinen Innenwänden mit einer dritten Barrierschicht (5A), insbesondere gegen das Eindringen von Wasserstoff, ausgekleidet wird.

4. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß

- im Verfahrensschritt d) die Isolationsschicht (4) bis zu der Tiefe der ersten Barrierschicht (5) entfernt wird, wobei gegebenenfalls die erste Barrierschicht (5) als Ätzstoppschicht verwendet wird.

5. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß

- im Verfahrensschritt d) die Isolationsschicht (4) bis in eine Tiefe unterhalb der ersten Barrierschicht (5) entfernt wird.

eschicht (5) entfernt wird.

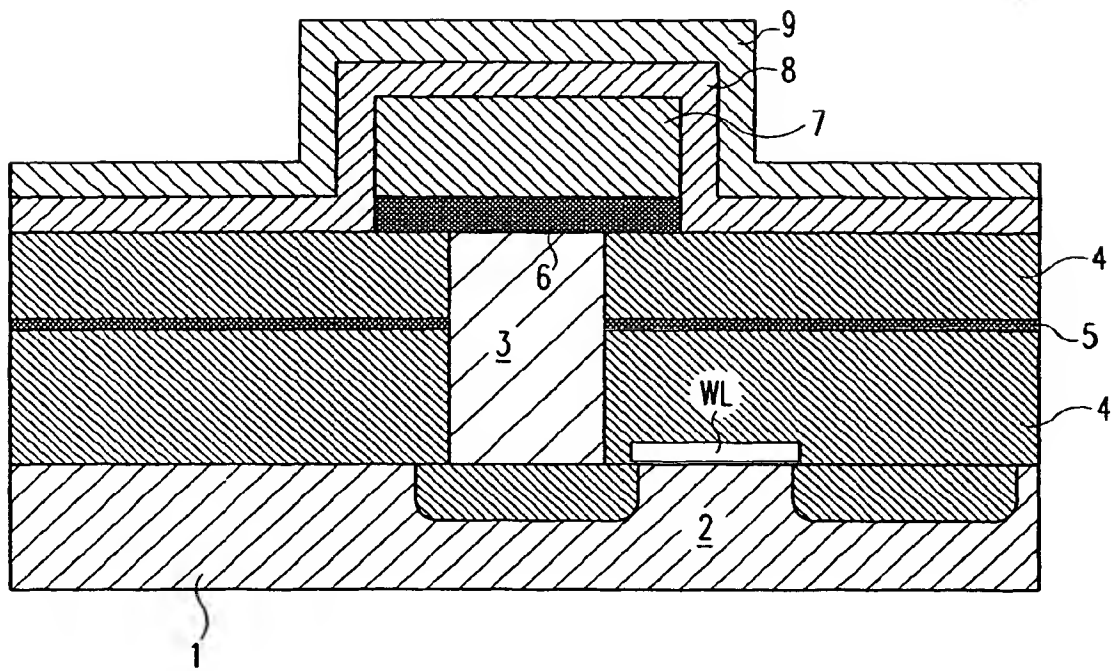
6. Verfahren nach einem der vorhergehenden Ansprüche
dadurch gekennzeichnet, daß 5
- die erste Barrierschicht (5) aus Si_3N_4 besteht, welches gegebenenfalls durch chemische Gasphasenabscheidung bei niedrigem Druck (LPCVD) abgeschieden wird. 10
7. Verfahren nach einem der Ansprüche 1 bis 5,
dadurch gekennzeichnet, daß 15
- die erste Barrierschicht (5) aus ZrO_2 oder den in dieser Reihenfolge abgeschiedenen Schichtmaterialien SiO_2 - ZrO_2 oder aus einem der Materialien Al_2O_3 , TiO_2 , Ta_2O_5 besteht. 20
8. Verfahren nach einem der vorhergehenden Ansprüche
dadurch gekennzeichnet, daß 25
- die zweite Barrierschicht (10) durch eine Schichtkombination der in dieser Reihenfolge abgeschiedenen Schichtmaterialien SiO_x - SiON - Si_3N_4 gebildet wird. 30
9. Verfahren nach einem der Ansprüche 1 bis 7,
dadurch gekennzeichnet, daß 35
- die zweite Barrierschicht (10) durch eine Schichtkombination der in dieser Reihenfolge abgeschiedenen Schichtmaterialien SiO_x - Si_3N_4 gebildet wird. 40
10. Verfahren nach Anspruch 8,
dadurch gekennzeichnet, daß 45
- vor Abscheidung der Si_3N_4 -Schicht eine zusätzliche Barrierschicht aus einem Oxid oder einem Nitrid, insbesondere aus einem der Materialien Ta_2O_5 , Bi_2O_3 , TiO_2 , Al_2O_3 , Nb_2O_5 , MgO , V_2O_5 , CeO_2 , Y_2O_3 , ZrO_2 , BN , AlN sowie einem Selten-Erd-Oxid abgeschieden wird. 50
11. Verfahren nach Anspruch 8 oder 10,
dadurch gekennzeichnet, daß 55
- die SiO_x -Schicht und/oder die SiON -Schicht durch ein CVD Verfahren gebildet werden. 60
12. Verfahren nach einem der Ansprüche 8 bis 11,
dadurch gekennzeichnet, daß 65
- die Si_3N_4 -Schicht durch ein LPCVD-Verfahren gebildet wird. 70

13. Verfahren nach Anspruch 3,
dadurch gekennzeichnet, daß

- die dritte Barrierschicht (5A) aus Si_3N_4 besteht, welches insbesondere durch ein LPCVD-Verfahren abgeschieden wird.

14. Verfahren nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, daß

- im Verfahrensschritt c) die untere und/oder die obere Elektrode aus Platin oder einem anderen Platinmetall oder einem Oxid davon hergestellt werden.



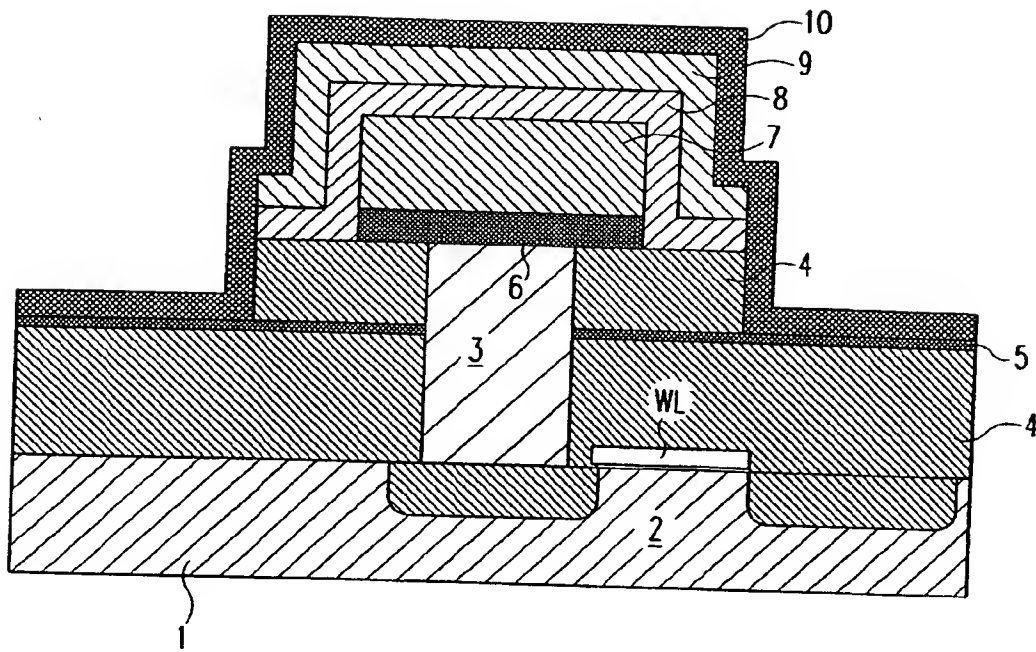


Fig. 2a

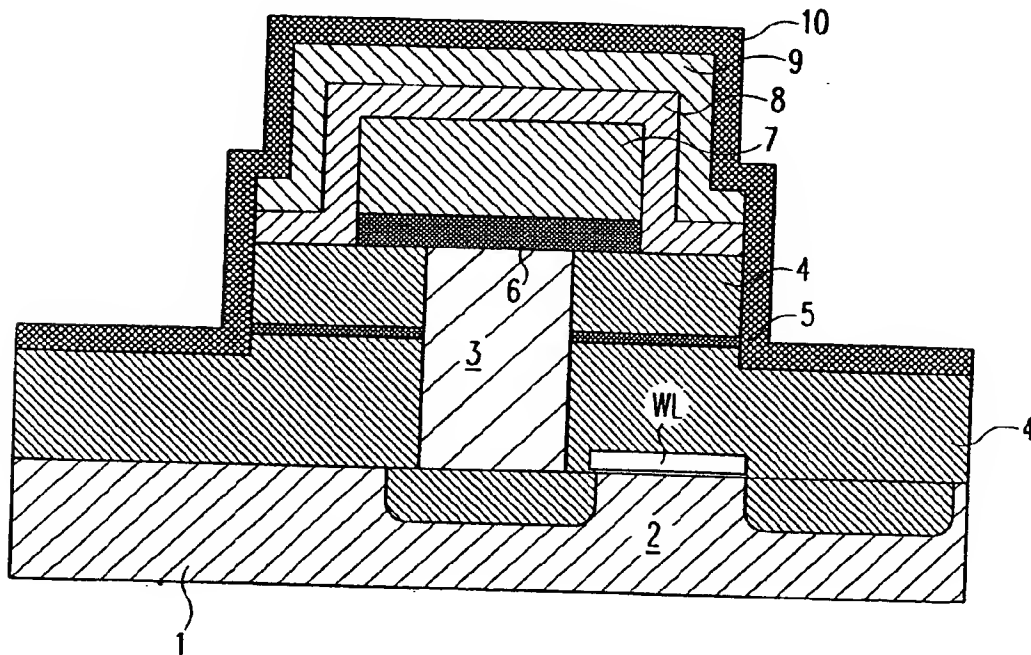


Fig. 2b

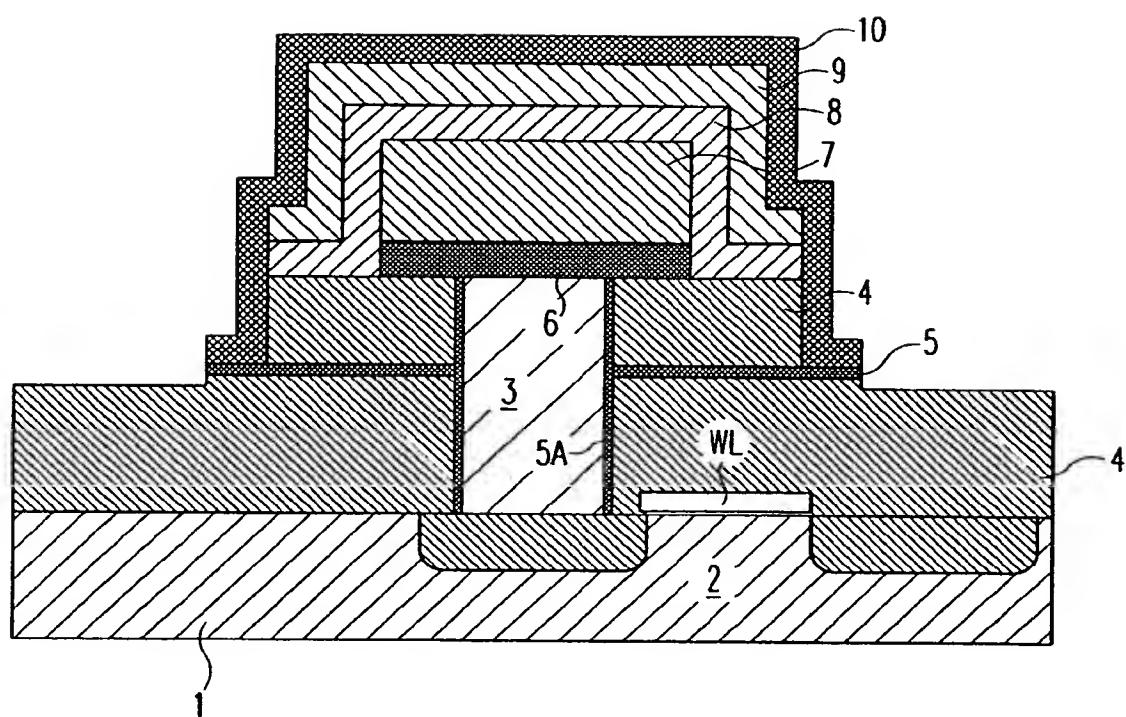


Fig. 3



Europäisches
Patentamt

EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung
EP 00 12 8568

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int.Cl.7)
X	EP 0 915 522 A (NIPPON ELECTRIC CO ; SYMETRIX CORP (US)) 12. Mai 1999 (1999-05-12)	1,4-6, 8-12,14	H01L21/8246 H01L27/115 H01L21/02
Y	* das ganze Dokument *	2,3,7,13	
Y	DE 196 40 246 A (SIEMENS AG) 2. April 1998 (1998-04-02)	2,3,13	
A	* das ganze Dokument *	1,4-12, 14	
Y	EP 0 951 058 A (NIPPON ELECTRIC CO ; SYMETRIX CORP (US)) 20. Oktober 1999 (1999-10-20)	7	
A	* Seite 8, Zeile 51 - Seite 9, Zeile 9; Abbildung 10 *	1-6,8	
X	EP 0 629 002 A (MOTOROLA INC) 14. Dezember 1994 (1994-12-14)	1,2,14	
A	* das ganze Dokument *	6,7	
P,X	US 6 121 083 A (MATSUKI TAKEO) 19. September 2000 (2000-09-19)	1-6,14	RECHERCHIERTE SACHGEBIETE (Int.Cl.7)
P,A	* das ganze Dokument * & PATENT ABSTRACTS OF JAPAN vol. 1999, no. 08, 30. Juni 1999 (1999-06-30) & JP 11 068041 A (NEC CORP), 9. März 1999 (1999-03-09) * Zusammenfassung *	7-13	H01L
A	US 5 566 045 A (GNADE BRUCE E ET AL) 15. Oktober 1996 (1996-10-15) * das ganze Dokument *	1-14	
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Forscherort DEN HAAG		Abschlußdatum der Recherche 27. März 2001	Prüfer Albrecht, C
KATEGORIE DER GENANNTEN DOKUMENTE X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : mündliche Offenbarung P : Zwischenliteratur		T : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus anderen Gründen angeführtes Dokument & : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument	

EPO FORM 1503 03/02 (P4/C03)

**ANHANG ZUM EUROPÄISCHEN RECHERCHENBERICHT
ÜBER DIE EUROPÄISCHE PATENTANMELDUNG NR.**

EP 00 12 8568

In diesem Anhang sind die Mitglieder der Patentfamilien der im obengenannten europäischen Recherchenbericht angeführten Patendokumente angegeben.
Die Angaben über die Familienmitglieder entsprechen dem Stand der Datei des Europäischen Patentamts am
Diese Angaben dienen nur zur Unterrichtung und erfolgen ohne Gewähr.

27-03-2001

Im Recherchenbericht angeführtes Patendokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP 0915522 A	12-05-1999	JP 3098474 B	16-10-2000
		JP 11135736 A	21-05-1999
		CN 1216403 A	12-05-1999
DE 19640246 A	02-04-1998	CN 1231771 A	13-10-1999
		WO 9815013 A	09-04-1998
		EP 0931355 A	28-07-1999
		JP 2001501375 T	30-01-2001
		TW 386305 B	01-04-2000
		US 6043529 A	28-03-2000
EP 0951058 A	20-10-1999	CN 1233075 A	27-10-1999
		JP 11307731 A	05-11-1999
EP 0629002 A	14-12-1994	US 5407855 A	18-04-1995
		CN 1107611 A	30-08-1995
		JP 7099290 A	11-04-1995
		SG 69959 A	25-01-2000
		US 5510651 A	23-04-1996
US 6121083 A	19-09-2000	JP 3090198 B	18-09-2000
		JP 11068041 A	09-03-1999
		CN 1209657 A	03-03-1999
US 5566045 A	15-10-1996	US 5619393 A	08-04-1997
		US 5576928 A	19-11-1996
		US 5581436 A	03-12-1996

EPC FORM P0461

Für nähere Einzelheiten zu diesem Anhang : siehe Amtsblatt des Europäischen Patentamts, Nr.12/82

